

WO9836405

Publication Title:

CURRENT-DRIVEN EMISSIVE DISPLAY DEVICE, METHOD FOR DRIVING THE SAME, AND METHOD FOR MANUFACTURING THE SAME

Abstract:

Abstract of WO9836405

A current-driven emissive display device which can reduce deterioration with time of a switching element and, at the same time, can reduce power consumption. An AC voltage or AC current is applied or supplied between the source and drain terminals of the switching element and a DC voltage or DC current is applied or supplied between the first and second terminals of a light emitting element. This can be realized by applying a voltage which is inverted every prescribed period between two light emitting elements arranged antiparallel to each other and a light emitting element and a rectifier arranged antiparallel to each other, or to a full-wave rectifier circuit. The rectifier is composed of a thin film transistor, P-N junction, or PIN junction and formed simultaneously with the existing switching element.

Data supplied from the esp@cenet database - Worldwide d6e

Courtesy of <http://v3.espacenet.com>

PCT

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類6 G09G 3/30, H05B 33/08, H01L 33/00		A1	(11) 国際公開番号 WO98/36405
			(43) 国際公開日 1998年8月20日(20.08.98)
(21) 国際出願番号 PCT/JP98/00646 (22) 国際出願日 1998年2月16日(16.02.98) (30) 優先権データ 特願平9/32480 1997年2月17日(17.02.97) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿二丁目4番1号 Tokyo, (JP)		(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書	
(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 木村 瞳(KIMURA, Mutsumi)[JP/JP] 〒392-8502 長野県飯田市大和三丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)			
(74) 代理人 弁理士 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒163-0811 東京都新宿区西新宿二丁目4番1号 セイコーエプソン株式会社内 Tokyo, (JP)			
(54) Title: CURRENT-DRIVEN EMISSIVE DISPLAY DEVICE, METHOD FOR DRIVING THE SAME, AND METHOD FOR MANUFACTURING THE SAME			
(54) 発明の名称 電流駆動型発光表示装置及びその駆動方法並びにその製造方法			
(57) Abstract <p>A current-driven emissive display device which can reduce deterioration with time of a switching element and, at the same time, can reduce power consumption. An AC voltage or AC current is applied or supplied between the source and drain terminals of the switching element and a DC voltage or DC current is applied or supplied between the first and second terminals of a light emitting element. This can be realized by applying a voltage which is inverted every prescribed period between two light emitting elements arranged antiparallel to each other and a light emitting element and a rectifier arranged antiparallel to each other, or to a full-wave rectifier circuit. The rectifier is composed of a thin film transistor, P-N junction, or PIN junction and formed simultaneously with the existing switching element.</p>			

(57) 要約

電流駆動型発光表示装置において、スイッチング素子の経時劣化の低減を実現する。また、同時に、消費電力の低減を実現する。このため、スイッチング素子のソース端子とドレン端子との間に、交流電圧または交流電流が印加され、発光素子の第1端子と第2端子との間に、直流電圧または直流電流が印加される。これは、反平行に配置された2つの発光素子、反平行に配置された発光素子と整流子、または、全波整流回路に、所定期間毎に反転する電圧を印加することにより実現される。このとき、整流子は、薄膜トランジスタ、PN接合またはPIN接合で構成され、既存のスイッチング素子と同時に形成される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード（参考情報）

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LU	ルクセンブルグ	SZ	スワジランド
AT	オーストリア	GA	ガボン	LV	ラトヴィア	TD	チヤゴー
AU	オーストラリア	GB	英國	MC	モナコ	TG	トニゴー
AZ	アゼルバイジャン	GE	グルジア	MD	モルドヴァ	TJ	タジキスタン
BA	ボスニア・ヘルツェゴビナ	GH	ガーナ	MG	マダガスカル	TM	トルクメニスタン
BB	バルバドス	GM	ガンビア	MK	マケドニア旧ユーゴス	TR	トルコ
BEE	ベルギー	GN	ギニア	ML	マリーヴィア共和国	TT	トリニダード・トバゴ
BFF	ブルキナ・ファソ	GW	ギニア・ビサオ	MN	モンゴル	UA	ウクライナ
BG	ブルガリア	GR	ギリシャ	MR	モーリタニア	UG	ウガンダ
BI	ベナン	HU	ハンガリー	MW	マラウイ	UZ	米国
BR	ブラジル	ID	インドネシア	MX	メキシコ	VN	ウズベキスタン
BY	ベラルーシ	IE	アイルランド	NE	ニジエール	YU	ユーゴースラヴィア
CA	カナダ	IL	イスラエル	NL	オランダ	ZW	ジンバブエ
CF	中央アフリカ	IS	アイスランド	NO	ノールウェー		
CG	コンゴー共和国	IT	イタリア	NZ	ニュージーランド		
CH	スイス	JP	日本	PL	ポーランド		
CI	コートジボアール	KE	ケニア	PT	ポルトガル		
CM	カメルーン	KG	キルギス	RO	ルーマニア		
CNU	中国	KP	北朝鮮	RU	ロシア		
CUU	キューバ	KR	韓国	SDE	スードアン		
CY	キプロス	KZ	カザフスタン	SGE	スウェーデン		
CZ	チェコ	LCC	ゼント・ルシア	SSG	シンガポール		
DE	ドイツ	LK	リヒテンシュタイン	SI	スロヴェニア		
DK	デンマーク	LR	スリランカ	SK	スロ伐キア		
EE	エストニア	LS	リベリア	SL	シェレ・レオネ		
ES	スペイン		レバント				

明細書

電流駆動型発光表示装置及びその駆動方法並びにその製造方法

〔技術分野〕

本発明は、薄膜トランジスタを備えた有機エレクトロルミネセンス（以下、有機ELと称す）素子等の電流駆動型発光表示装置及びその駆動方法に関し、特に経時劣化の低減を実現し、または経時劣化および消費電力の低減を同時に実現する技術に関するものである。

〔背景技術〕

従来の薄膜トランジスタを備えた有機EL等の電流駆動型表示装置の動作を、図16、図17及び図18を用いて説明する。

図16は、従来の薄膜トランジスタを備えた有機EL表示装置の1画素の等価回路図、図17は、従来の薄膜トランジスタを備えた有機EL表示装置のマトリクス構成を示す等価回路図、図18は、従来の薄膜トランジスタを備えた有機EL表示装置の駆動電圧図である。

データ線112と、データ線112にソース端子側が接続され、走査線111にゲート電極が接続されている第1のスイッチング素子（以下、スイッチング薄膜トランジスタと称す。）121と、スイッチング薄膜トランジスタ121のドレイン端子側に一方の端子が接続される保持容量の保持電極113と、ゲート端子がスイッチング薄膜トランジスタのドレイン端子に接続され、且つソース端子が第1給電線114に接続されている第2のスイッチング素子（以下、カレント薄膜トランジスタと称す。）122と、一方の端子がカレント薄膜トランジスタのドレイン端子に接続され、且つ他方の端子が第2給電線に接続されている有機EL素子135とから構成されている。

スイッチング薄膜トランジスタ121は、走査線111の電位により、データ線112と保持電極113との導通を制御する。すなわち、走査電位211により、信号電位212と保持電位213との導通を制御する。なお、ここでは、ス

イッティング薄膜トランジスタ 121 は、n チャネル型の薄膜トランジスタであるが、p チャネル型の薄膜トランジスタでもかまわない。その場合、走査電位 211 は、本実施例とは、高電位と低電位が逆となる。

表示状態となる画素に対しては、信号電位 212 が高電位となり、保持電位 213 にはその高電位が保持される。非表示状態となる画素に対しては、信号電位 212 が低電位となり、保持電位 213 にはその低電位が保持される。

カレント薄膜トランジスタ 122 は、保持電極 113 の電位により、第 1 紙電線 114 と画素電極 115 との導通を制御する。すなわち、保持電位 213 により、第 1 紙電線電位 214 と画素電位 215 との導通を制御する。なお、ここでは、カレント薄膜トランジスタ 122 は、n チャネル型の薄膜トランジスタであるが、p チャネル型の薄膜トランジスタでもかまわない。その場合、信号電位 212 は、本実施例とは、高電位と低電位が逆となる。

表示状態となる画素に対しては、保持電位 213 は高電位であるため、第 1 紙電線 114 と画素電極 115 が導通され、非表示状態となる画素に対しては、保持電位 213 は低電位であるため、題 1 紙電線 114 と画素電極 115 が切断される。

表示状態となる画素に対しては、第 1 紙電線 114 から、カレント薄膜トランジスタ 122 、画素電極 115 を通じて、第 2 紙電線 116 まで電流が流れ、有機 EL 素子 135 が発光する。非表示状態となる画素に対しては、電流が流れず、発光しない。

第 1 紙電線電位 214 は第 2 紙電線電位 216 よりも高電位なので、流れる電流は、第 1 紙電線 114 から、カレント薄膜トランジスタ 122 、画素電極 115 、有機 EL 素子 135 を経て、第 2 紙電線 116 への方向である。

なお、実際の薄膜トランジスタ有機 EL 表示装置の動作は、上記のように単純ではなく、より複雑な電圧および電流の関係のもとに動作するが、近似的および定性的には、上記の説明が成り立つ。

図 19 は、従来例の薄膜トランジスタを備えた有機 EL 表示装置の断面図、図 20 は、従来例の薄膜トランジスタを備えた有機 EL 表示装置の平面図である。

図 19 の断面 A-A は、図 20 の断面 A-A' に対応する。

有機EL素子135において、電流は、有機EL素子の高電位側電極165から、有機EL素子の発光材料155を通じて、有機EL素子の低電位側電極175へと流れる。なお、ここでは、有機EL素子の発光材料155としてPPV、有機EL素子の高電位側電極165としてITO、有機EL素子の低電位側電極175としてAlを用いたが、他の材料であってもかまわない。

従来例では、スイッチング薄膜トランジスタ121のソース端子とドレイン端子との間には、交流電圧が印加され、交流電流が流れるが、カレント薄膜トランジスタ122のソース端子とドレイン端子との間にも直流電圧が印加され、直流電流が流れてしまう。これは、有機EL素子135の発効効率を向上させるために、高電位側の材料と低電位側の材料を最適化した非対称の構造であり、直流電圧が印加され、直流電流が流れることにより発光することに起因する。しかし有機EL素子だけでなく、薄膜トランジスタにも直流電圧が印加されたり、あるいは直流電流が流れてしまうと薄膜トランジスタは急激な経時劣化が発生してしまう。

一方、カレント薄膜トランジスタ122のソース端子とドレイン端子との間に、交流電圧が印加されることも可能であるが、この場合、有機EL素子135は整流作用があるため、有機EL素子135には交流電流は流れずに、一方方向の電流しか流れない。即ち、ある方向では、有機EL素子135が発光するが、他の方向では、有機EL素子135が発光しないため、発光効率が低下してしまう。従って、直流電圧が印加され、直流電流が流れる場合と、同等の発光量を得るために、消費電力が増大することになってしまう。

[発明の開示]

そこで、本発明の目的は、薄膜トランジスタを備えた有機EL表示装置等の電流駆動型発光表示装置において、薄膜トランジスタ等のスイッチング素子の経時劣化を低減することである。また、薄膜トランジスタ等のスイッチング素子の経時劣化を低減するのと同時に、発光効率を向上し、消費電力を低減することである。

本発明は前記課題を解決するため、請求項1記載の本発明は、複数の走査線および複数のデータ線が形成され、前記走査線と前記データ線との各交点に対応し

て薄膜トランジスタおよび発光素子が形成されてなり、前記薄膜トランジスタのソース端子とドレイン端子との間に、交流電圧が印加され、前記発光素子の第1端子と第2端子との間に、直流電圧が印加されることを特徴とする。

請求項1記載の本発明によれば、薄膜トランジスタの直流電流による経時劣化を低減するとともに、発光素子の発光効率を上げることが可能である。

請求項2記載の発明は、複数の走査線および複数のデータ線が形成され、前記走査線と前記データ線との各交点に対応して薄膜トランジスタおよび発光素子が形成されてなり、前記薄膜トランジスタのソース端子とドレイン端子との間に、交流電流が流れ、前記発光素子の第1端子と第2端子との間に、直流電流が流れることを特徴とする。

請求項2記載の発明によれば、薄膜トランジスタの直流電流による経時劣化を低減するとともに、発光素子の発光効率を上げることが可能になる。

請求項3記載の発明は、複数の走査線、複数のデータ線、第1給電線および第2給電線が形成され、前記走査線と前記データ線との各交点に対応して、第1スイッチング素子、第2スイッチング素子、保持容量、画素電極および発光素子とを有し、前記第1スイッチング素子は、前記走査線の電位により、前記データ線と前記保持容量との導通を制御し、前記第2スイッチング素子は、前記保持容量の電位により、前記第1給電線と前記画素電極との導通を制御することにより、前記画素電極と前記第2給電線間にある前記発光素子を流れる電流を制御する電流駆動型発光表示装置であって、前記発光素子は、前記画素電極から前記第2給電線に流れる電流により発光する第1発光素子と、前記第2給電線から前記画素電極に流れる電流により発光する第2発光素子とが並列配置されてなることを特徴とする。

請求項3記載の発明によれば、第1給電線と第2給電線の電位が所定期間毎に反転した場合、第2スイッチング素子のソース端子とドレイン端子との間には、交流電圧が印加され、交流電流が流れる。そして、第2スイッチング素子の直流電圧または直流電流による経時劣化を低減することが可能であると同時に、第2発光素子と第2発光素子のどちらかを発光させることができるために、効率を低下させずに、消費電力を低減することができる。

請求項4記載の発明は、複数の走査線、複数のデータ線、第1給電線および第2給電線が形成され、前記走査線と前記データ線との各交点に対応して、第1スイッチング素子、第2スイッチング素子、保持容量、画素電極および発光素子とを有し、前記第1スイッチング素子は、前記走査線の電位により、前記データ線と前記保持容量との導通を制御し、前記第2スイッチング素子は、前記保持容量の電位により、前記第1給電線と前記画素電極との導通を制御することにより、前記画素電極と前記第2給電線間にある前記発光素子を流れる電流を制御されてなる電流駆動型発光表示装置であって、前記画素電極と前記第2給電線間には、前記発光素子と整流子とが並列的に配置されてなり、前記発光素子は、前記画素電極から前記第2給電線に流れる電流により発光されてなり、前記整流子は、前記第2給電線から前記画素電極に電流が流れるように構成されてなることを特徴とする。

請求項4記載の発明によれば、前記第1スイッチング素子及び第2スイッチング素子のソース端子とドレイン端子間に交流電圧が印加され、交流電流が流れ、前記発光素子の第1端子と第2端子との間には直流電流が流れる。発光素子は、前記画素電極から前記第2給電線に流れる電流により発光されてなり、前記整流子は、前記第2給電線から前記画素電極に電流が流れるように構成されてなるため、第2スイッチング素子の直流電流又は直流電圧による経時劣化を防ぐことができる。

請求項5記載の発明は、複数の走査線、複数のデータ線、第1給電線および第2給電線が形成され、前記走査線と前記データ線との各交点に対応して、第1スイッチング素子、第2スイッチング素子、保持容量、画素電極および発光素子とを有し、前記第1スイッチング素子は、前記走査線の電位により、前記データ線と前記保持容量との導通を制御し、前記第2スイッチング素子は、前記保持容量の電位により、前記第1給電線と前記画素電極との導通を制御することにより、前記画素電極と前記第2給電線間にある前記発光素子を流れる電流を制御されてなる電流駆動型発光表示装置であって、前記画素電極と前記第2給電線間には、前記発光素子と整流子とが並列的に配置されてなり、前記発光素子は、前記第2給電線から前記画素電極へ流れる電流により発光されてなり、前記整流子は、前

記画素電極から前記第2給電線に電流が流れるように構成されてなることを特徴とする。

請求項5記載の発明によれば、発光素子は、前記第2給電線から前記画素電極へ流れる電流により発光されてなり、前記整流子は、前記画素電極から前記第2給電線に電流が流れるように構成されてなる場合、直流電圧又は直流電流による経時劣化を低減することが可能である。

請求項6記載の発明は、複数の走査線、複数のデータ線、第1給電線および第2給電線が形成され、前記走査線と前記データ線との各交点に対応して、第1スイッチング素子、第2スイッチング素子、保持容量、画素電極および発光素子とを有し、前記第1スイッチング素子は、前記走査線の電位により、前記データ線と前記保持容量との導通を制御し、前記第2スイッチング素子は、前記保持容量の電位により、前記第1給電線と前記画素電極との導通を制御することにより、前記画素電極に接続された第1電極と前記第2給電線に接続された第2電極と間にある前記発光素子を流れる電流により発光する電流駆動型発光表示装置において、前記画素電極から前記第1電極に電流を流すように構成された第1整流子と、前記第2電極から前記画素電極に電流を流すように構成された第2整流子と、前記第2給電線から前記第1電極に電流を流すように構成された第3整流子と、前記第2電極から前記第2給電線に電流を流すように構成された第4整流子とを有し、前記発光素子は、前記第1電極から前記第2電極に流れる電流により発光されてなることを特徴とする。

本発明によれば、第2スイッチング素子の直流電圧または直流電流による経時劣化を低減することが可能である。

請求項7記載の発明は、請求項3、請求項4、請求項5のいずれか一項記載の電流駆動型発光表示装置において、前記第1給電線の前記第2給電線に対する電圧の符号が、所定期間毎に反転することを特徴とする電流駆動発光型表示装置の駆動方法に関する。

本発明によれば、発光素子に、直流電流が流れることが実現されながら、第2スイッチング素子のソース端子とドレイン端子との間に、交流電圧が印加され、交流電流が流れることが実現される。そして、第2スイッチング素子の直流電圧

または直流電流による経時劣化を低減することが可能になるのと同時に、第1給電線と第2給電線の電圧が互いに反転している両期間で、発光素子を発光させることにより、効率を向上し、消費電力を低減することが可能である。

請求項8記載の本発明は、請求項4、請求項5、請求項6のいずれか一項記載の電流駆動型発光表示装置であって、前記整流子、前記第1整流子、前記第2整流子、前記第3整流子と前記第4整流子の少なくとも1つは、ゲート端子とソース端子またはドレイン端子とを接続した整流用スイッチング素子で構成され、前記整流用スイッチング素子は、前記第1スイッチング素子と前記第2スイッチング素子の少なくとも一方と同時に形成されることを特徴とする電流駆動型発光表示装置の製造方法に関する。

本発明によれば、第2スイッチング素子の直流電圧または直流電流による経時劣化を低減するのと同時に、第1給電線の第2給電線に対する電圧の符号が互いに反転している両期間で、前記発光素子を発光させることにより、効率を向上し、消費電力を低減する構成を製造工程を増加することなく実現できる。

請求項9記載の発明は、請求項4または請求項5記載の電流駆動型発光表示装置において、前記整流子、前記第1整流子、前記第2整流子、前記第3整流子と前記第4整流子の少なくとも1つは、PN接合またはPIN接合で構成され、前記第1スイッチング素子と前記第2スイッチング素子の少なくとも一方と同時に形成されることを特徴とする。

本構成によれば、第2スイッチング素子の直流電圧または直流電流による経時劣化を低減するのと同時に、第1給電線の第2給電線に対する電圧の符号が互いに反転している両期間で、発光素子を発光させることにより、効率を向上し、消費電力を低減する構成を得ることが、製造過程の増加なしに実現できる。

[図面の簡単な説明]

図1は本発明の実施例1に係る薄膜トランジスタ等のスイッチング素子を備えた電流駆動型発光表示装置の一例として、有機EL表示装置の1画素の等価回路図である。

図2は本発明の実施例1に係る薄膜トランジスタを備えた有機EL表示装置のマトリクス構成を示す等価回路図である。

図3は本発明の実施例1に係る薄膜トランジスタを備えた有機EL表示装置の駆動電圧図である。

図4は本発明の実施例1に係る薄膜トランジスタを備えた有機EL表示装置の断面図である。

図5は本発明の実施例1に係る薄膜トランジスタを備えた有機EL表示装置の平面図である。

図6は本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示装置の1画素の等価回路図である。

図7は本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示装置のマトリクス構成を示す等価回路図である。

図8は本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示装置の駆動電圧図である。

図9は本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示装置の断面図である。

図10は本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示装置の平面図である。

図11は本発明の実施例3に係る薄膜トランジスタ有機EL表示装置の1画素の等価回路図である。

図12は本発明の実施例3に係る薄膜トランジスタを備えた有機EL表示装置のマトリクス構成を示す等価回路図である。

図13は本発明の実施例3に係る薄膜トランジスタを備えた有機EL表示装置の駆動電圧図である。

図14は本発明の実施例3に係る薄膜トランジスタを備えた有機EL表示装置の断面図である。

図15は本発明の実施例3に係る薄膜トランジスタを備えた有機EL表示装置の平面図である。

図16は従来の薄膜トランジスタを備えた有機EL表示装置の1画素の等価回路図である。

図17は従来の薄膜トランジスタを備えた有機EL表示装置のマトリクス構成

を示す等価回路図である。

図18は従来の薄膜トランジスタを備えた有機EL表示装置の駆動電圧図である。

図19は従来の薄膜トランジスタを備えた有機EL表示装置の断面図である。

20は従来の薄膜トランジスタを備えた有機EL表示装置の平面図である。

[符号の説明]

- 1 1 1 走査線
- 1 1 2 データ線
- 1 1 3 保持電極
- 1 1 4 第1給電線
- 1 1 5 画素電極
- 1 1 6 第2給電線
- 1 1 7 第1電極
- 1 1 8 第2電極
- 1 2 1 スイッチング薄膜トランジスタ
- 1 2 2 カレント薄膜トランジスタ
- 1 2 3 保持容量
- 1 3 1 正置有機EL素子
- 1 3 2 逆置有機EL素子
- 1 3 3 有機EL素子
- 1 3 4 有機EL素子
- 1 3 5 有機EL素子
- 1 4 1 整流子
- 1 4 2 第1整流子
- 1 4 3 第2整流子
- 1 4 4 第3整流子
- 1 4 5 第4整流子
- 1 5 1 正置有機EL素子の発光層
- 1 5 2 逆置有機EL素子の発光層

- 1 5 3 有機EL素子の発光層
- 1 5 4 有機EL素子の発光層
- 1 5 5 有機EL素子の発光層
- 1 6 1 正置有機EL素子の高電位側電極
- 1 6 2 逆置有機EL素子の高電位側電極
- 1 6 3 有機EL素子の高電位側電極
- 1 6 4 有機EL素子の高電位側電極
- 1 6 5 有機EL素子の高電位側電極
- 1 7 1 正置有機EL素子の低電位側電極
- 1 7 2 逆置有機EL素子の低電位側電極
- 1 7 3 有機EL素子の低電位側電極
- 1 7 4 有機EL素子の低電位側電極
- 1 7 5 有機EL素子の低電位側電極
- 1 8 1 レジスト
- 2 0 1 奇数フレーム
- 2 0 2 偶数フレーム
- 2 1 1 走査電位
- 2 1 2 信号電位
- 2 1 3 保持電位
- 2 1 4 第1給電電位
- 2 1 5 画素電位
- 2 1 6 第2給電電位
- 2 3 1 正置有機EL素子を流れる電流
- 2 3 2 逆置有機EL素子を流れる電流
- 2 3 3 有機EL素子を流れる電流
- 2 3 4 有機EL素子を流れる電流
- 2 3 5 有機EL素子を流れる電流

[発明を実施する為の最良の形態]

以下、本発明の好ましい実施の形態を、図面に基づいて説明する。

(実施例 1)

図 1 は、本発明の実施例 1 に係る薄膜トランジスタを備えた有機 E L 表示装置の 1 画素の等価回路図、図 2 は、本発明の実施例 1 に係る薄膜トランジスタを備えた有機 E L 表示装置のマトリクス構成を示す等価回路図、図 3 は、本発明の実施例 1 に係る薄膜トランジスタを備えた有機 E L 表示装置の駆動電圧図である。

本実施例の薄膜トランジスタを備えた有機 E L 表示装置の動作を、図 1 、図 2 および図 3 を用いて説明する。

図 1 及び図 2 に示されるように、走査線 1 1 1 の延設方向に対して交差する方向に延設されてデータ線 1 1 2 が形成されている。走査線 1 1 1 は第 1 スイッチング素子（以下、スイッチング薄膜トランジスタと称す。）のゲート電極に接続されており、スイッチング薄膜トランジスタ 1 2 1 のソース・ドレインの一方はデータ線 1 1 2 に接続されている。また、スイッチング薄膜トランジスタ 1 2 1 のソース・ドレインの他方は保持容量 1 2 3 の電極 1 1 3 に接続され、保持容量 1 2 3 の他方の電極は第 1 給電線 1 1 4 に接続されている。

保持容量 1 2 3 には第 2 スイッチング素子（以下、カレント薄膜トランジスタと称す。）のゲート電極が電気的に接続され、カレント薄膜トランジスタ 1 2 2 のソース・ドレイン領域の一方は、第 1 給電線に電気的に接続されている。また、カレント薄膜トランジスタ 1 2 3 のソース・ドレン領域の他方は、有機 E L 素子 1 3 1 及び 1 3 2 の一方の電極（画素電極） 1 1 5 に電気的に接続されている。第 1 給電線は定電位に保持されている。本実施例では、第 1 給電線は保持容量 1 2 3 の他方の電極と、カレント薄膜トランジスタ 1 2 2 のソース・ドレイン領域の一方との両方に接続されるように構成されているが、共通の第 1 給電線の代わりにそれぞれ別々の定電位配線に接続するように構成しても差し支えない。

このように構成した有機 E L 表示装置は、走査線 1 1 1 に供給される走査信号によってスイッチング薄膜トランジスタ 1 2 1 が選択されてオン状態になると、データ線 1 1 2 から画像信号がスイッチング薄膜トランジスタ 1 2 1 を介して保持容量 1 2 3 に書き込まれる。表示状態となる画素に対しては、第 1 給電線 1 1 4 から、カレント薄膜トランジスタ 1 2 2 、画素電極 1 1 5 を通じて、第 2 給電

線 116 まで電流が流れ、あるいは、逆方向の電流が流れ、並列配置された有機EL素子 131 または有機EL素子 132 が発光する。つまり、本実施例において、有機EL素子 131 及び 132 は並列に配置されているが、2つの有機EL素子は、画素電極 115 から第 2 納電線 116 まで流れる電流により発光する有機EL素子 131（ここでは正置有機EL素子と称す。）と、第 2 納電線 116 から画素電極 115 に流れる電流により発光する有機EL素子 132（ここでは逆置有機EL素子と称す。）により構成されている。そして非表示状態となる画素に対しては、電流が流れず発光しない。

本実施例では、第 1 納電線の第 2 納電線に対する電圧の符号（+又は-）が所定期間毎に反転する一例として、一垂直走査期間毎に反転する方式、即ちフレーム反転方式の場合を図 3 を用いて説明する。

奇数フレーム 201においては、第 1 納電線 114 の電位 214 は第 2 納電線 116 の電位 216 よりも高電位なので、流れる電流は、第 1 納電線 114 から、カレント薄膜トランジスタ 122、画素電極 115、正置有機EL素子 131 を経て、第 2 納電線 116 への方向である。偶数フレーム 202においては、第 1 納電線電位 214 は第 2 納電線電位 216 よりも低電位なので、流れる電流は、第 2 納電線 116 から、逆置有機EL素子 132、画素電極 115、カレント薄膜トランジスタ 122 を経て、第 1 納電線 114 への方向である。

なお、ここでは、信号電位 212 は、奇数フレーム 221 と偶数フレーム 222 とで、同電位としてあるが、異なる電位であってもかまわない。また、図 3においては、信号電位 212 はゲート電極の電位 211 の立ち上がりの前後のみ図示するものであり、その他の電位については省略してある。ここでは、奇数フレーム 201 における第 1 納電線電位 214 と、偶数フレーム 202 における第 2 納電線電位 216 とが同電位、かつ、奇数フレーム 201 における第 2 納電線電位 216 と、偶数フレーム 202 における第 1 納電線電位 214 とが同電位であるが、奇数フレーム 201 と偶数フレーム 202 とで、第 1 納電線電位 214 の第 2 納電線電位 216 に対する電圧の符号が反転しているのであれば、異なる電位でもかまわない。

本実施例では、スイッチング薄膜トランジスタ 121 のソース端子とドレイン

端子との間、および、カレント薄膜トランジスタ122のソース端子とドレイン端子との間に、交流電圧が印加され、交流電流が流れ、正置有機EL素子131の第1端子と第2端子との間および逆置有機EL素子132の第1端子と第2端子との間に直流電流が流れる。本構成によれば、カレント薄膜トランジスタ122の直流電圧または直流電流による経時劣化を低減することが可能になる。

また、本実施例では、有機EL素子が、正置有機EL素子131と逆置有機EL素子132とから成り、正置有機EL素子131は、画素電極115から第2給電線116へと流れる電流により発光するように配置され、逆置有機EL素子132は、第2給電線116から画素電極115へと流れる電流により発光するように配置される。さらに、第1給電線電位214の第2給電線電位216に対する電圧の符号が、所定期間毎に反転する。本構成によれば、正置有機EL素子131の第1端子と第2端子との間および逆置有機EL素子132の第1端子と第2端子との間に、直流電流が流れることが実現されながら、カレント薄膜トランジスタ122のソース端子とドレイン端子との間に、交流電圧が印加され、交流電流が流れることが実現される。そして、カレント薄膜トランジスタ122の直流電圧または直流電流による経時劣化を低減することが可能になるのと同時に、奇数フレーム201および偶数フレーム202の両期間で、正置有機EL素子131または逆置有機EL素子のどちらかを発光させることにより、効率を向上し、消費電力を低減することが可能になる。

図4は、本発明の実施例1に係る薄膜トランジスタを備えた有機EL表示装置の断面図、図5は、本発明の実施例1に係る薄膜トランジスタを備えた有機EL表示装置の平面図である。図4の断面A-A'および断面B-B'は、図5の断面A-A'および断面B-B'に対応する。

正置有機EL素子131において、電流は、正置有機EL素子の高電位側電極161から、正置有機EL素子の発光層151を通じて、正置有機EL素子の低電位側電極171へと流れる。また、逆置有機EL素子132において、電流は、逆置有機EL素子の高電位側電極162から、逆置有機EL素子の発光層152を通じて、逆置有機EL素子の低電位側電極172へと流れる。

(実施例2)

図6は、本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示装置の1画素の等価回路図、図7は、本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示装置のマトリクス構成を示す等価回路図、図8は、本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示装置の駆動電圧図である。

本実施例の薄膜トランジスタを備えた有機EL表示装置の動作を、図6、図7および図8を用いて説明する。本実施例は実施例1と同様な構成を有するものであって、実施例1と異なる点についてのみ説明する。

スイッチング薄膜トランジスタ121から、保持容量123、カレント薄膜トランジスタ122までの動作は、実施例1と同様である。

表示状態となる画素に対しては、第1給電線114から、カレント薄膜トランジスタ122、画素電極115を通じて、第2給電線116まで電流が流れ、有機EL素子133が発光する。非表示状態となる画素に対しては、電流が流れず、発光しない。

奇数フレーム201においては、第1給電線電位214は第2給電線電位216よりも高電位なので、流れる電流は、第1給電線114から、カレント薄膜トランジスタ122、画素電極115、有機EL素子133を経て、第2給電線116への方向である。偶数フレーム202においては、第1給電線電位214は第2給電線電位216よりも低電位なので、流れる電流は、第2給電線116から、整流子141、画素電極115、カレント薄膜トランジスタ122を経て、第1給電線114への方向である。

なお、ここでは、有機EL素子133は、画素電極115から第2給電線116へと流れる電流により発光するように配置され、整流子141は、第2給電線116から画素電極115へと電流を流すように配置されているが、有機EL素子113は、第2給電線116から画素電極115へと流れる電流により発光するように配置され、整流子141は、画素電極115から第2給電線116へと電流を流すように配置されていてもかまわない。

本実施例では、スイッチング薄膜トランジスタ121のソース端子とドレイン端子との間、および、カレント薄膜トランジスタ122のソース端子とドレイン端子との間に、交流電圧が印加され、交流電流が流れ、有機EL素子133の第

1端子と第2端子との間に、直流電流が流れる。本構成によれば、カレント薄膜トランジスタ122の直流電圧または直流電流による経時劣化を低減することが可能になる。

また、本実施例では、整流子141が形成され、有機EL素子133は、画素電極115から第2給電線116へと流れる電流により発光するように配置され、整流子141は、第2給電線116から画素電極115へと電流を流すように配置される。さらに、第1給電線電位214の第2給電線電位216に対する電圧の符号が所定期間毎に反転する。本構成によれば、有機EL素子133の第1端子と第2端子との間に、直流電流が流れることが実現されながら、カレント薄膜トランジスタ122のソース端子とドレイン端子との間に、交流電圧が印加され、交流電流が流れることが実現される。そして、カレント薄膜トランジスタ122の直流電圧または直流電流による経時劣化を低減することが可能になる。

図9は、本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示装置の断面図、図10は、本発明の実施例2に係る薄膜トランジスタを備えた有機EL表示装置の平面図である。図9の断面A-A'および断面B-B'は、図10の断面A-A'および断面B-B'に対応する。

本実施例では、整流子141は、ゲート端子とソース端子またはドレイン端子とを接続した整流用薄膜トランジスタで構成され、整流用薄膜トランジスタは、スイッチング薄膜トランジスタ121およびカレント薄膜トランジスタ122と同時に形成される。本構成によれば、カレント薄膜トランジスタ122の直流電圧または直流電流による経時劣化を低減する構成を得ることが、製造過程の増加なしに実現できる。

(実施例3)

図11は、本発明の実施例3に係る薄膜トランジスタを備えた有機EL表示装置の1画素の等価回路図、図12は、本発明の実施例3に係る薄膜トランジスタを備えた有機EL表示装置のマトリクス構成を示す等価回路図、図13は、本発明の実施例2に係る薄膜トランジスタ有機EL表示装置の駆動電圧図である。

本実施例の薄膜トランジスタ有機EL表示装置の動作を、図11、図12および図13を用いて説明する。尚、本実施例も実施例1と同様な構成を有するもの

であり、実施例1と異なる点についてのみ説明する。

スイッチング薄膜トランジスタ121から、保持容量123、カレント薄膜トランジスタ122までの動作は、実施例1と同様である。

表示状態となる画素に対しては、第1給電線114から、カレント薄膜トランジスタ122、画素電極115を通じて、第2給電線116まで電流が流れ、有機EL素子134が発光する。非表示状態となる画素に対しては、電流が流れず、発光しない。

奇数フレーム201においては、第1給電線電位214は第2給電線電位216よりも高電位なので、流れる電流は、第1給電線114から、カレント薄膜トランジスタ122、画素電極115、第1整流子142、有機EL素子134、第4整流子145を経て、第2給電線116への方向である。偶数フレーム202においては、第1給電線電位214は第2給電線電位216よりも低電位なので、流れる電流は、第2給電線116から、第3整流子144、有機EL素子134、第2整流子143、画素電極115、カレント薄膜トランジスタ122を経て、第1給電線114への方向である。

すなわち、第1整流子142、第2整流子143、第3整流子144および第4整流子145により、全波整流回路が構成され、第1給電線電位214と第2給電線電位216の高低にかかわらず、有機EL素子134において、第1電極117から第2電極118へと電流が流れる。

本実施例では、スイッチング薄膜トランジスタ121のソース端子とドレイン端子との間、および、カレント薄膜トランジスタ122のソース端子とドレイン端子との間に、交流電圧が印加され、交流電流が流れ、有機EL素子134の第1端子117と第2端子118との間に、直流電流が流れる。本構成によれば、カレント薄膜トランジスタ122の直流電圧または直流電流による経時劣化を低減することが可能になる。

また、本実施例では、第1電極117および第2電極118が形成され、第1整流子142、第2整流子143、第3整流子144および第4整流子145が形成され、有機EL素子134は、第1電極117から第2電極118へと流れ電流により発光するように配置され、第1整流子142は、画素電極115か

ら第1電極117へと電流を流すように配置され、第2整流子143は、第2電極118から画素電極115へと電流を流すように配置され、第3整流子144は、第2給電線116から第1電極117へと電流を流すように配置され、第4整流子145は、第2電極118から第2給電線116へと電流を流すように配置される。さらに、請求項6に示したように、第1給電線114の前記第2給電線116に対する電圧の符号が、所定期間毎に反転する。本構成によれば、有機EL素子134の第1端子と第2端子との間に、直流電圧が印加され、直流電流が流れることが実現されながら、カレント薄膜トランジスタ122のソース端子とドレイン端子との間に、交流電圧が印加され、交流電流が流れることが実現される。そして、カレント薄膜トランジスタ122の直流電圧または直流電流による経時劣化を低減することが可能になるのと同時に、奇数フレーム201および偶数フレーム202の両期間で、有機EL素子134を発光させることにより、効率を向上し、消費電力を低減することが可能になる。

図14は、本発明の実施例3に係る薄膜トランジスタを備えた有機EL表示装置の断面図、図15は、本発明の実施例3に係る薄膜トランジスタを備えた有機EL表示装置の平面図である。図14の断面A-A'および断面B-B'は、図15の断面A-A'および断面B-B'に対応する。

本実施例では、第1整流子142、第2整流子143、第3整流子144および第4整流子145は、PN接合またはPIN接合で構成され、スイッチング薄膜トランジスタ121またはカレント薄膜トランジスタ122とともに形成される。本構成によれば、カレント薄膜トランジスタ122の直流電圧または直流電流による経時劣化を低減するのと同時に、奇数フレーム201および偶数フレーム202の両期間で、有機EL素子134を発光させることにより、効率を向上し、消費電力を低減する構成を得ることが、製造過程の増加なしに実現できる。

上記実施例では、画素毎にスイッチング薄膜トランジスタとカレント薄膜トランジスタとの2つのトランジスタを有する構成について説明をしたが、画素毎に1つのトランジスタを有する構成であっても同様な効果を有することは言うまでもない。また、上記実施例では、フレーム反転を用いた場合について説明したが、走査線毎にあるいは、データ線毎に、或いは画素毎に第1給電線の第2給電線に

対する電位の符号を反転させるとともに、フレーム反転する方式を用いても同様な効果を有するものである。

上述のように、本実施例では、スイッチング素子として、薄膜トランジスタを用いた構成について説明したが、薄膜トランジスタは直流電流、直流電圧による経時劣化が大きいが、本発明の構成を探ることにより、経時劣化を大幅に低減することが可能である。また、有機EL素子以外でも整流作用により電流の一方向に対してのみしか発光しない発光素子を用いた場合においても、本発明を採用することにより発光効率を上げることが可能である。

[産業上の利用分野]

本発明に係わる表示装置は、有機EL素子、無機EL素子等の各種の電流駆動型発光素子とこれを駆動するTFT等のスイッチング素子とを備えた表示装置として利用可能である。

請求の範囲

1. 複数の走査線および複数のデータ線が形成され、前記走査線と前記データ線との各交点に対応して薄膜トランジスタおよび発光素子が形成されてなり、
前記薄膜トランジスタのソース端子とドレイン端子との間に、交流電圧が印加され、前記発光素子の第1端子と第2端子との間に、直流電圧が印加されることを特徴とする電流駆動型発光表示装置。
2. 複数の走査線および複数のデータ線が形成され、前記走査線と前記データ線との各交点に対応して薄膜トランジスタおよび発光素子が形成されてなり、
前記薄膜トランジスタのソース端子とドレイン端子との間に、交流電流が流れ、
前記発光素子の第1端子と第2端子との間に、直流電流が流れることを特徴とする電流駆動型発光表示装置。
3. 複数の走査線、複数のデータ線、第1給電線および第2給電線が形成され、前記走査線と前記データ線との各交点に対応して、第1スイッチング素子、第2スイッチング素子、保持容量、画素電極および発光素子とを有し、前記第1スイッチング素子は、前記走査線の電位により、前記データ線と前記保持容量との導通を制御し、前記第2スイッチング素子は、前記保持容量の電位により、前記第1給電線と前記画素電極との導通を制御することにより、前記画素電極と前記第2給電線間にある前記発光素子を流れる電流を制御する電流駆動型発光表示装置であって、
前記発光素子は、前記画素電極から前記第2給電線に流れる電流により発光する第1発光素子と、前記第2給電線から前記画素電極に流れる電流により発光する第2発光素子とが並列配置されてなることを特徴とする電流駆動型発光表示装置。
4. 複数の走査線、複数のデータ線、第1給電線および第2給電線が形成され、前記走査線と前記データ線との各交点に対応して、第1スイッチング素子、第2スイッチング素子、保持容量、画素電極および発光素子とを有し、前記第1スイッチング素子は、前記走査線の電位により、前記データ線と前記保持容量との導通を制御し、前記第2スイッチング素子は、前記保持容量の電位により、前記第

1 給電線と前記画素電極との導通を制御することにより、前記画素電極と前記第2給電線間にある前記発光素子を流れる電流を制御されてなる電流駆動型発光表示装置であって、前記画素電極と前記第2給電線間には、前記発光素子と整流子とが並列的に配置されてなり、前記発光素子は、前記画素電極から前記第2給電線に流れる電流により発光されてなり、前記整流子は、前記第2給電線から前記画素電極に電流が流れるように構成されてなることを特徴とする電流駆動型発光表示装置。

5. 複数の走査線、複数のデータ線、第1給電線および第2給電線が形成され、前記走査線と前記データ線との各交点に対応して、第1スイッチング素子、第2スイッチング素子、保持容量、画素電極および発光素子とを有し、前記第1スイッチング素子は、前記走査線の電位により、前記データ線と前記保持容量との導通を制御し、前記第2スイッチング素子は、前記保持容量の電位により、前記第1給電線と前記画素電極との導通を制御することにより、前記画素電極と前記第2給電線間にある前記発光素子を流れる電流を制御されてなる電流駆動型発光表示装置であって、前記画素電極と前記第2給電線間には、前記発光素子と整流子とが並列的に配置されてなり、前記発光素子は、前記第2給電線から前記画素電極へ流れる電流により発光されてなり、前記整流子は、前記画素電極から前記第2給電線に電流が流れるように構成されてなることを特徴とする電流駆動型発光表示装置。

6. 複数の走査線、複数のデータ線、第1給電線および第2給電線が形成され、前記走査線と前記データ線との各交点に対応して、第1スイッチング素子、第2スイッチング素子、保持容量、画素電極および発光素子とを有し、前記第1スイッチング素子は、前記走査線の電位により、前記データ線と前記保持容量との導通を制御し、前記第2スイッチング素子は、前記保持容量の電位により、前記第1給電線と前記画素電極との導通を制御することにより、前記画素電極に接続された第1電極と前記第2給電線に接続された第2電極と間にある前記発光素子を流れる電流により発光する電流駆動型発光表示装置において、前記画素電極から前記第1電極に電流を流すように構成された第1整流子と、前記第2電極から前記画素電極に電流を流すように構成された第2整流子と、前記第2給電線から前

記第1電極に電流を流すように構成された第3整流子と、前記第2電極から前記第2給電線に電流を流すように構成された第4整流子とを有し、前記発光素子は、前記第1電極から前記第2電極に流れる電流により発光されてなることを特徴とする電流駆動型発光表示装置。

7. 請求請3、請求請4または請求請5記載の電流駆動型発光表示装置において、前記第1給電線と前記第2給電線間の電圧が、所定期間毎に反転することを特徴とする電流駆動発光型表示装置の駆動方法。

8. 請求請4または請求請5記載の電流駆動型発光表示装置において、前記整流子、前記第1整流子、前記第2整流子、前記第3整流子と前記第4整流子の少なくとも1つは、ゲート端子とソース端子またはドレイン端子とを接続した整流用スイッチング素子で構成され、前記整流用スイッチング素子は、前記第1スイッチング素子と前記第2スイッチング素子の少なくとも一方と同時に形成されることを特徴とする電流駆動型発光表示装置の製造方法。

9. 請求請4または請求請5記載の電流駆動型発光表示装置において、前記整流子、前記第1整流子、前記第2整流子、前記第3整流子と前記第4整流子の少なくとも1つは、P N接合またはP I N接合で構成され、前記第1スイッチング素子と前記第2スイッチング素子の少なくとも一方と同時に形成されることを特徴とする電流駆動型発光表示装置

図 1

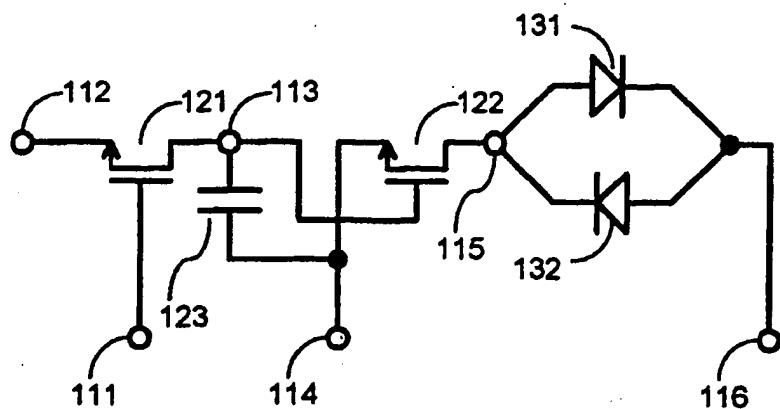
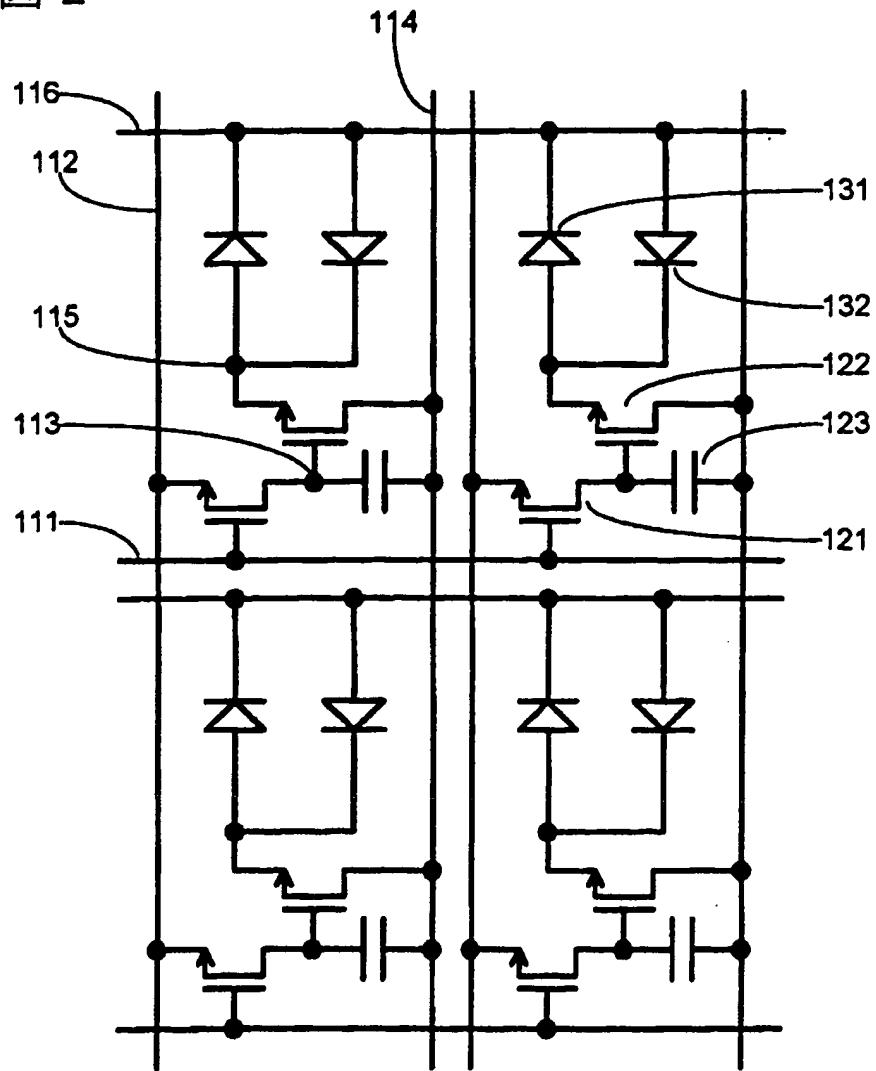


図 2



☒ 3

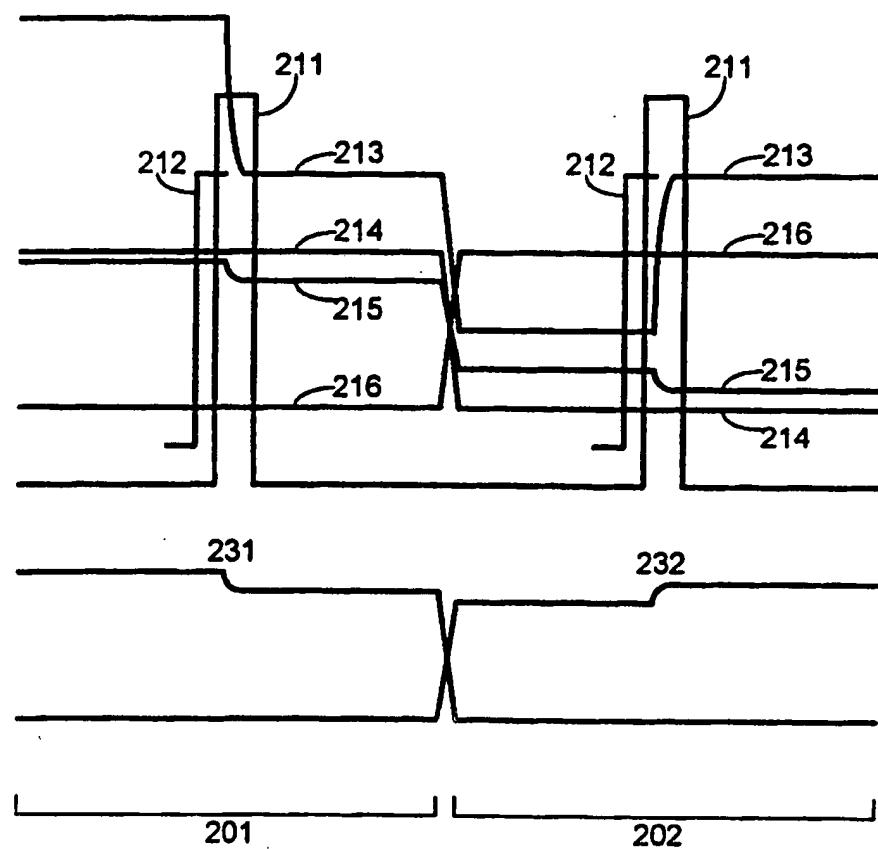


図 4

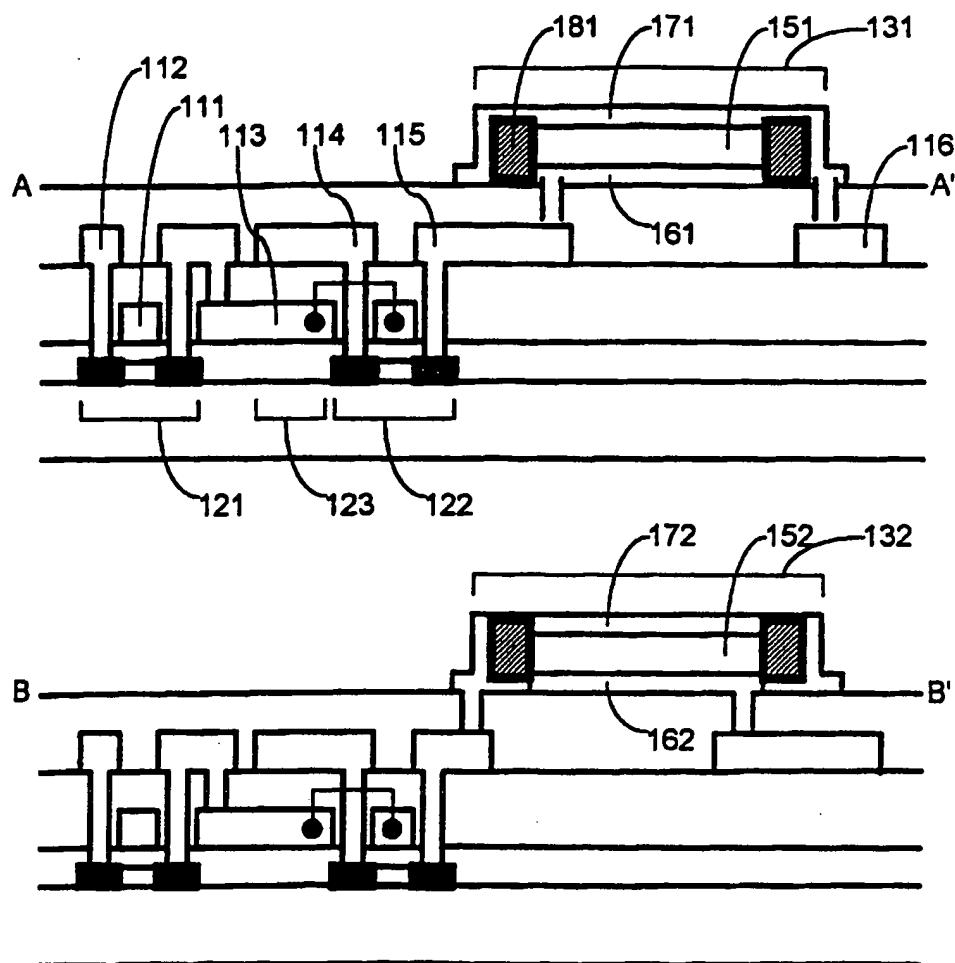


図 5

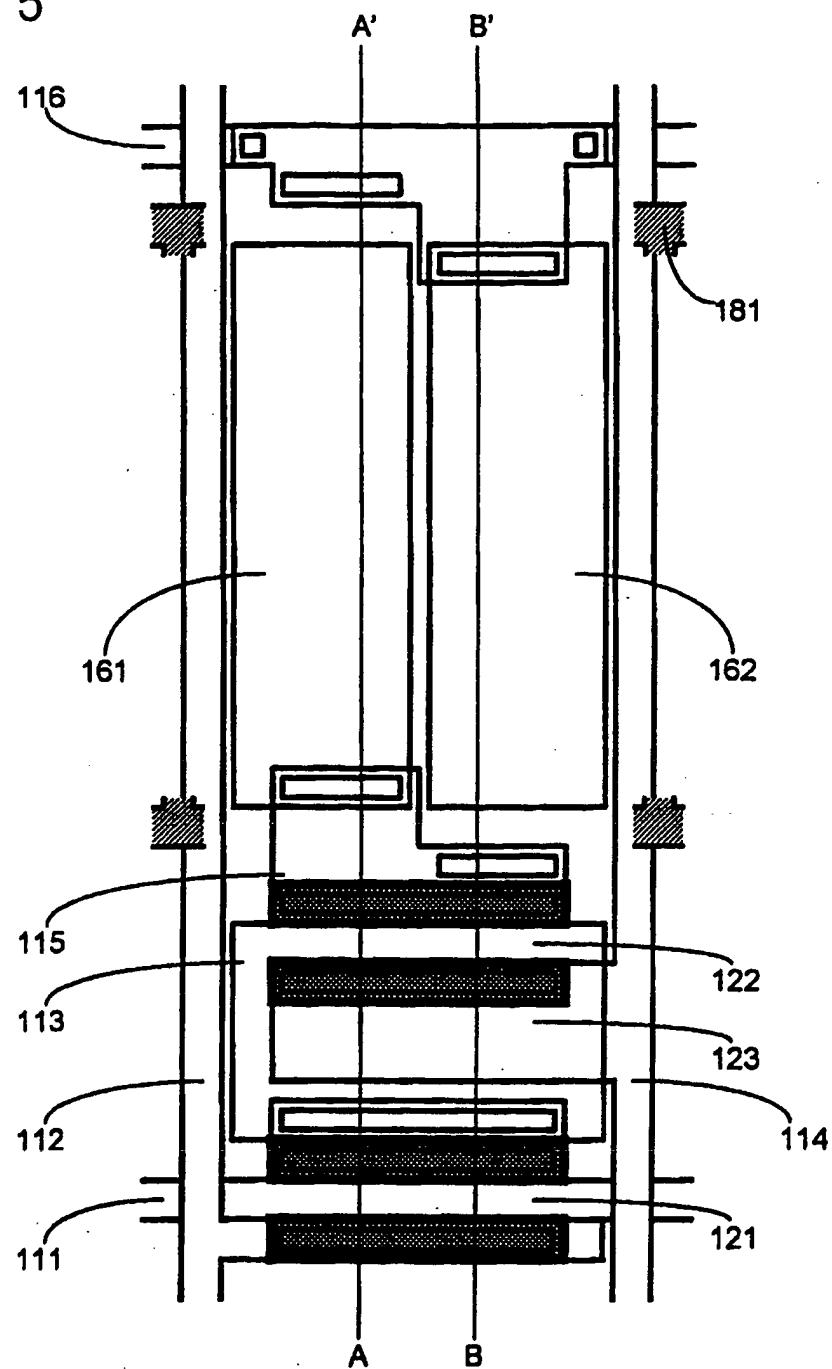


図 6

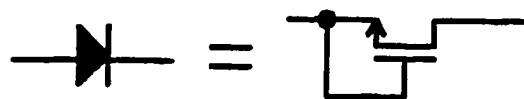
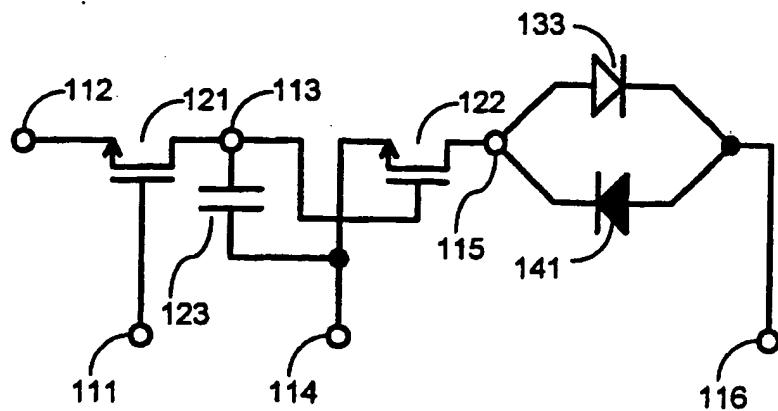


図 7

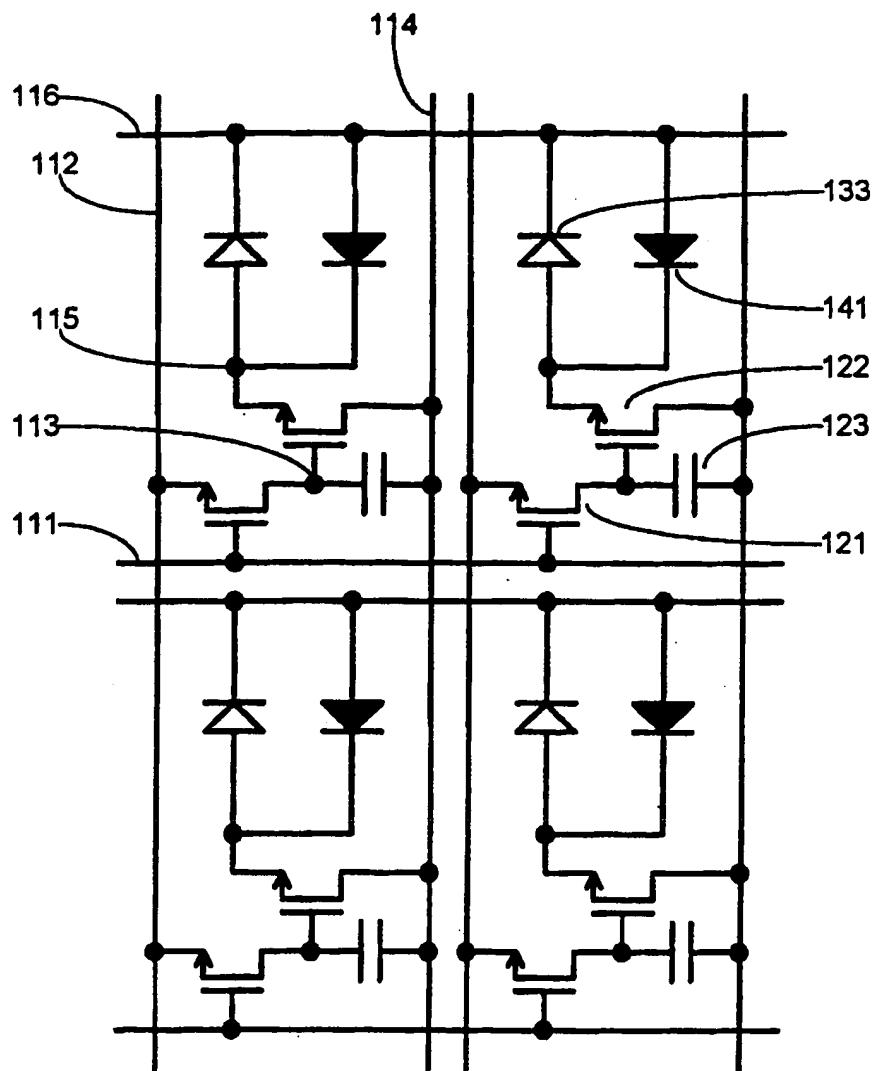
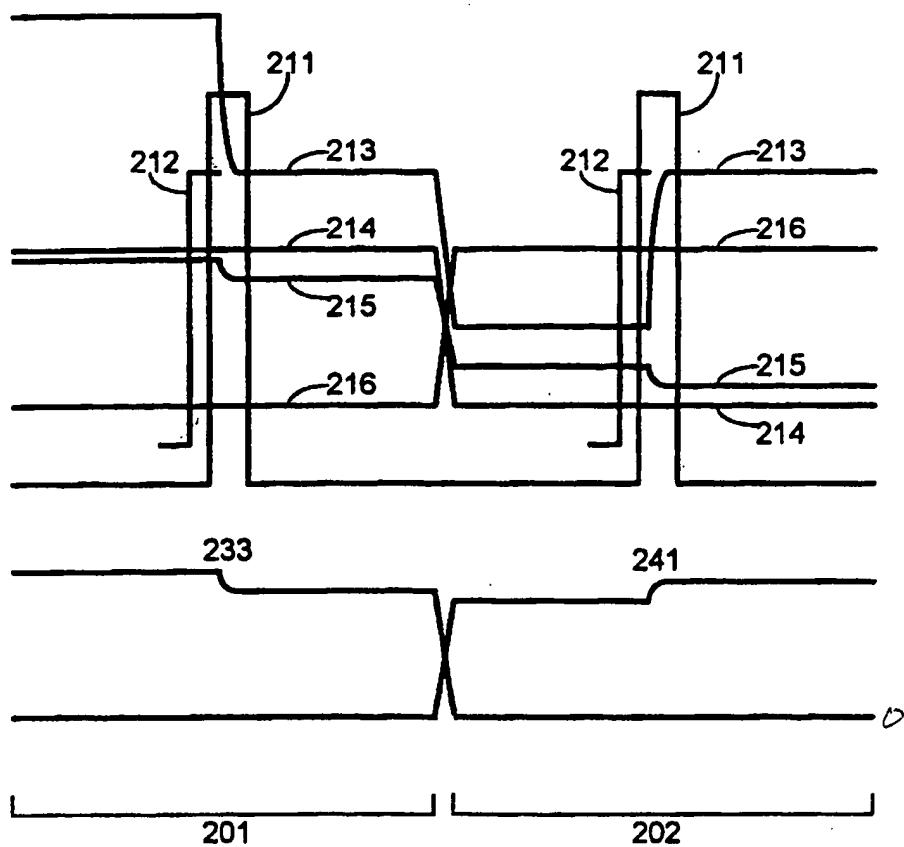


図 8



☒ 9

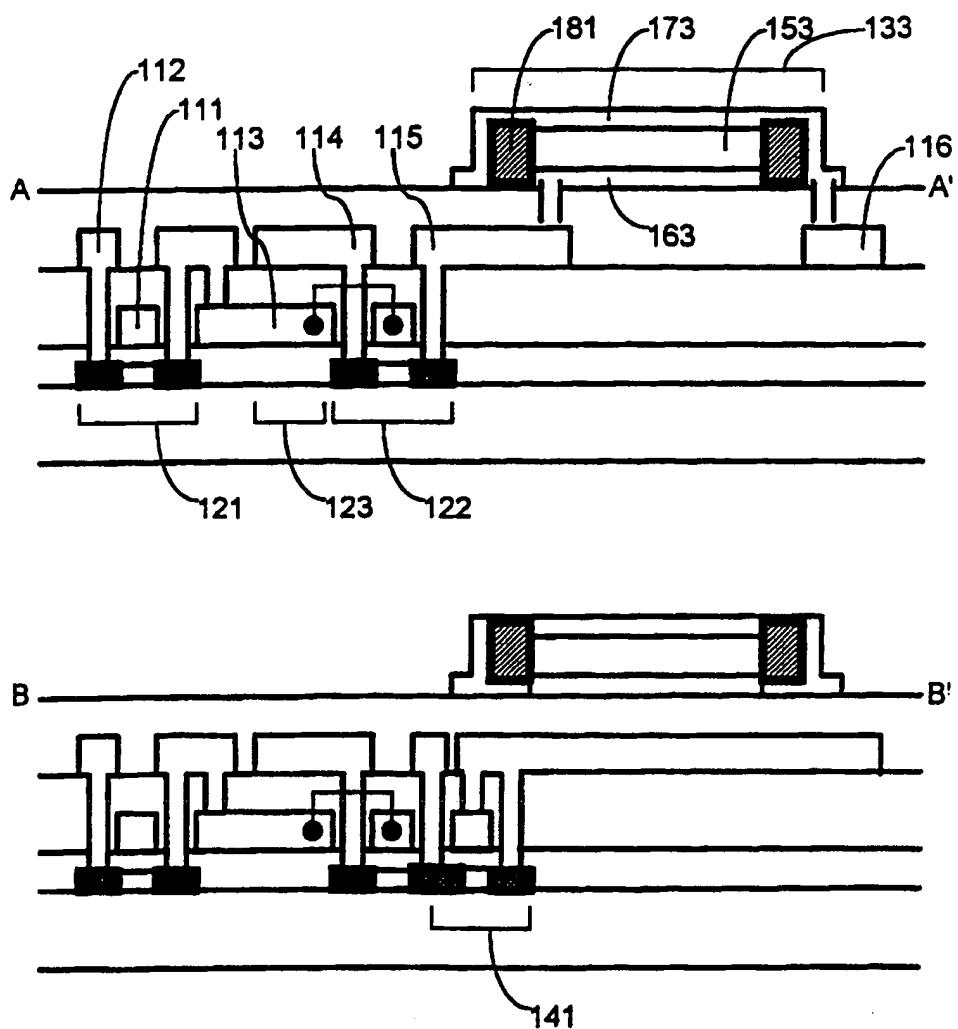


図 10

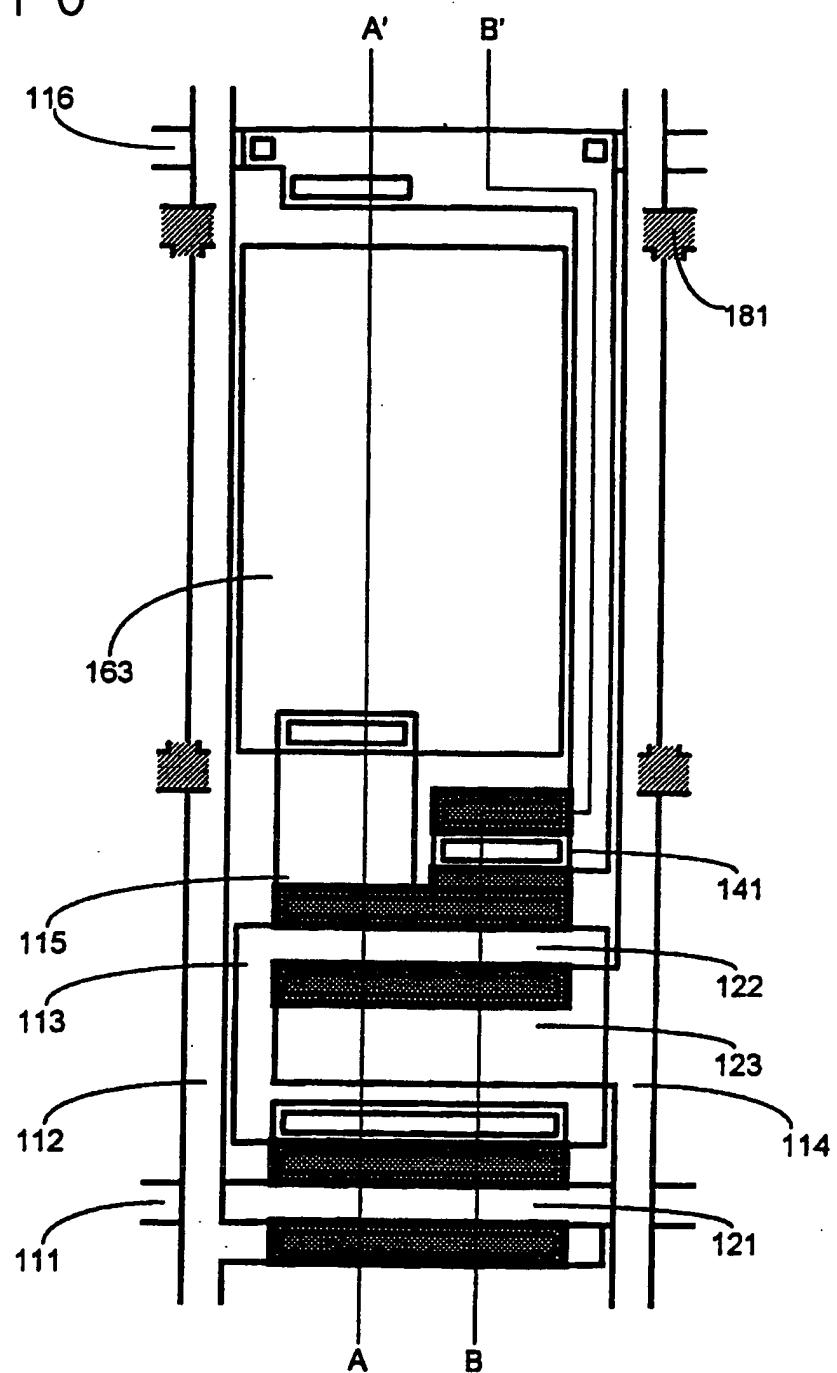


図 1 1

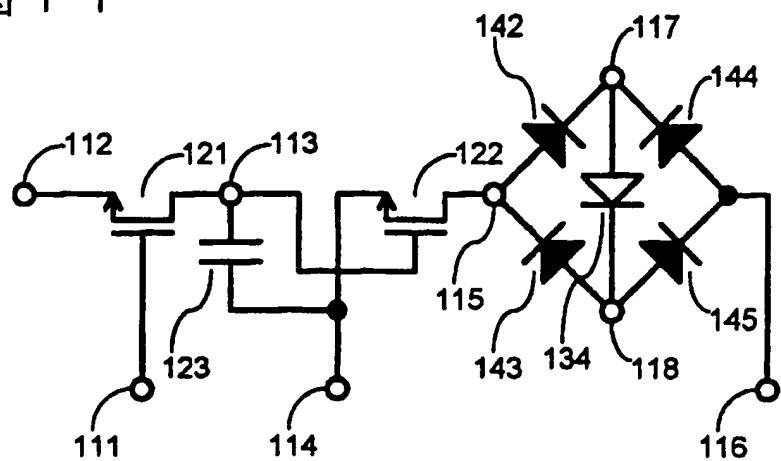


図 1 2

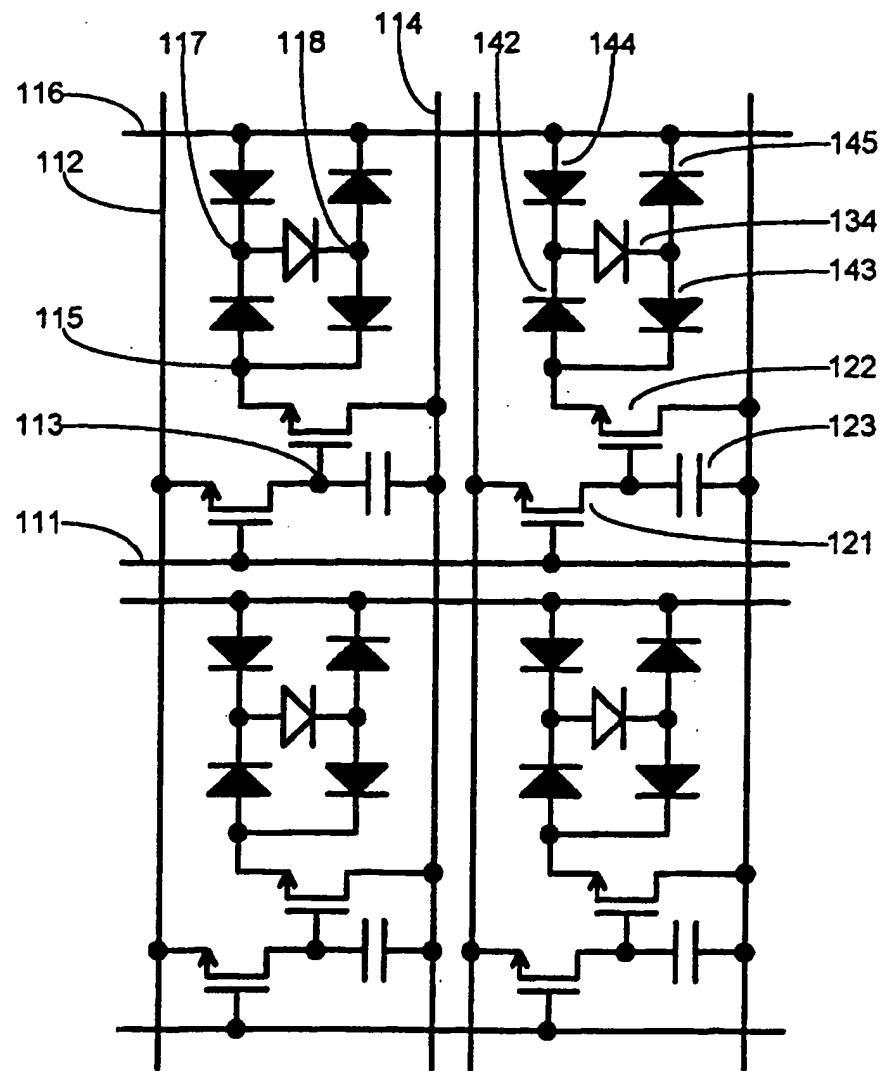


図 1 3

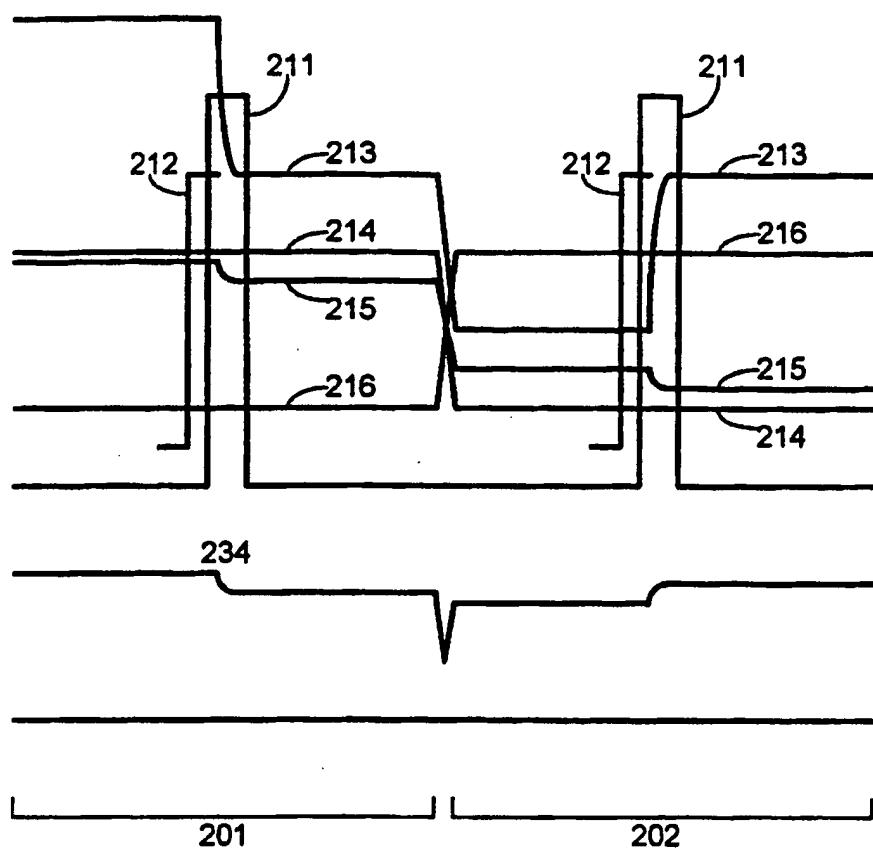
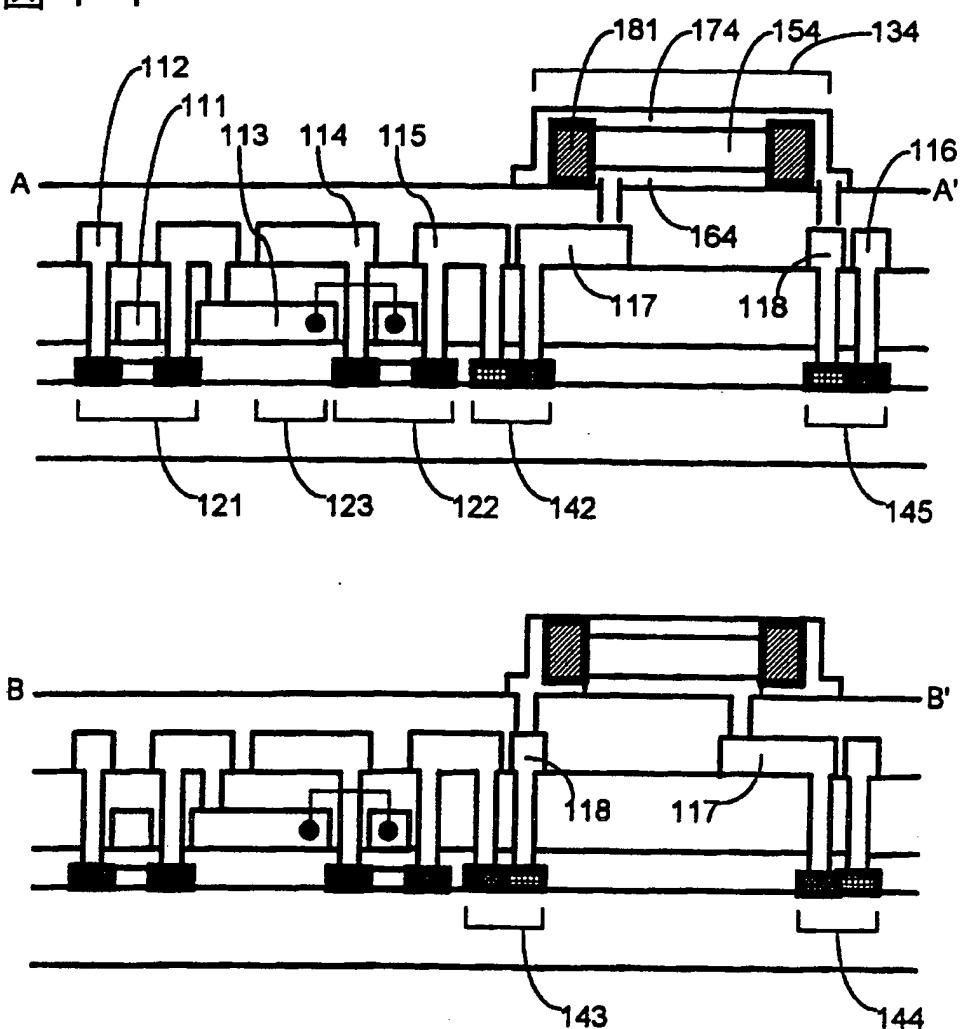


図 14



☒ 1 5

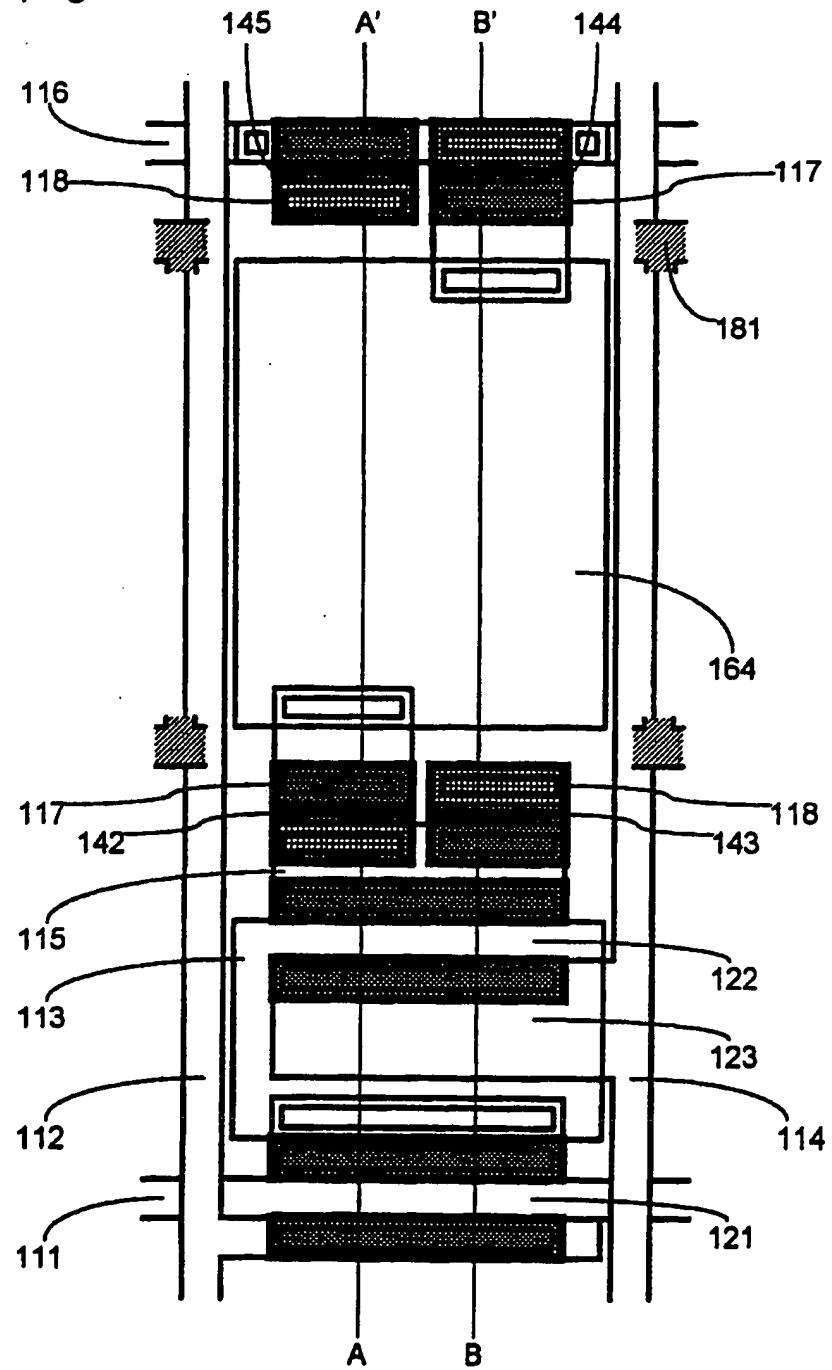
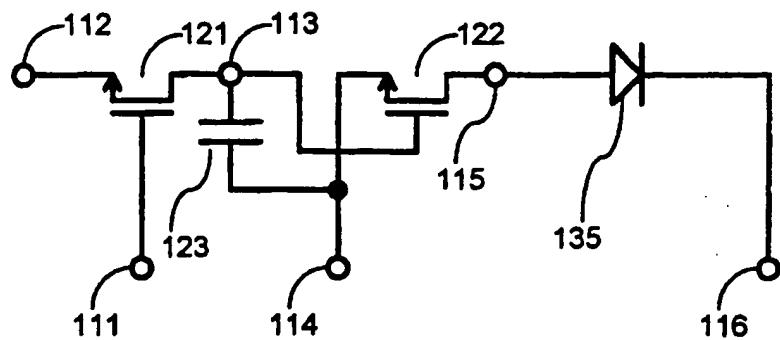


図 1 6



17/19

図 17

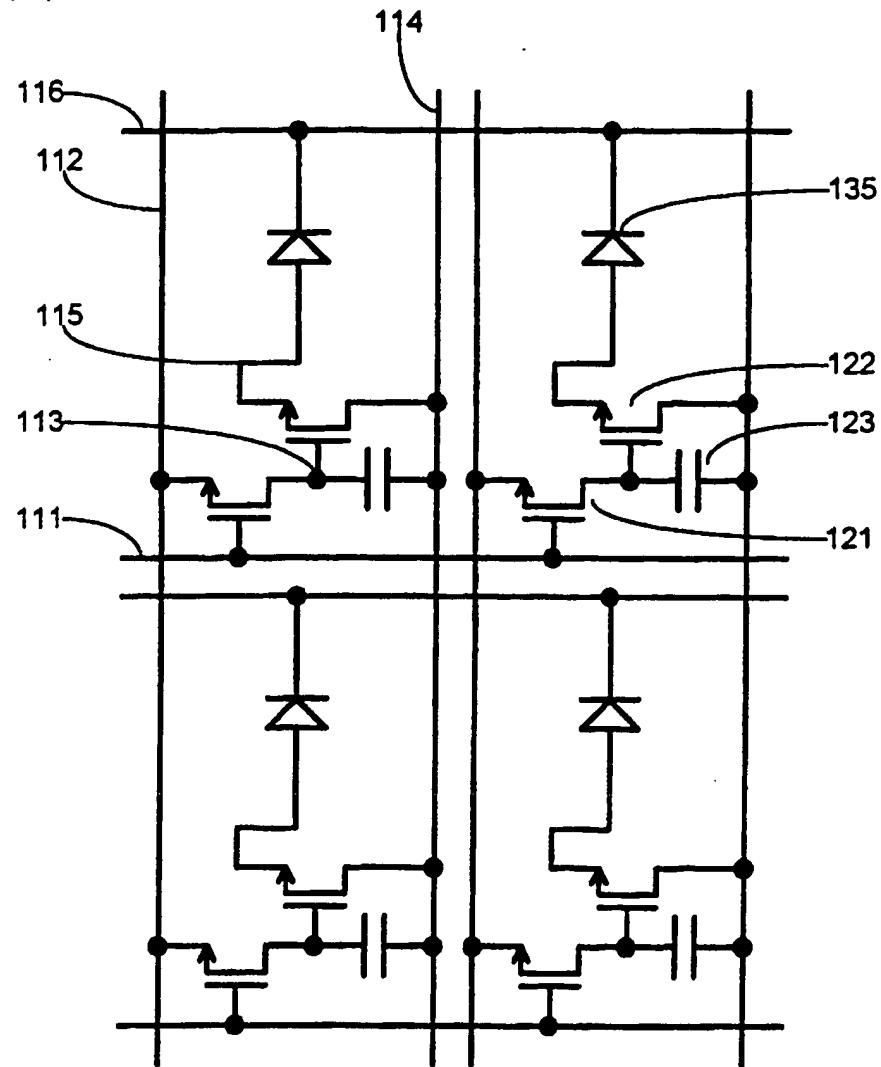
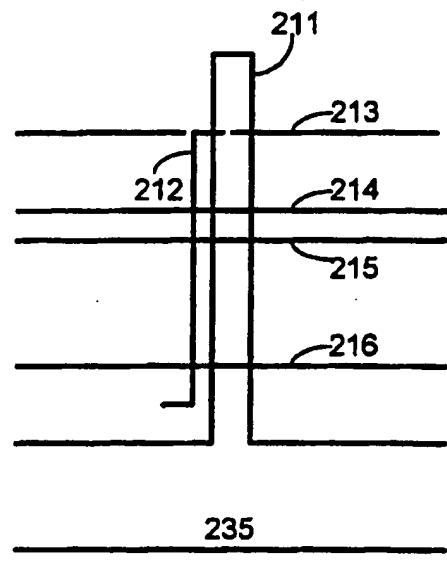


図 18



235

図 19

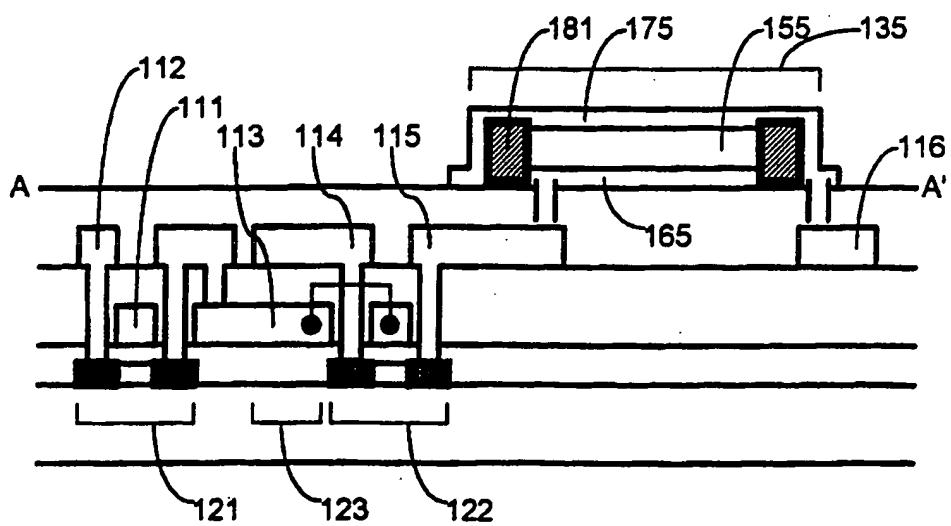
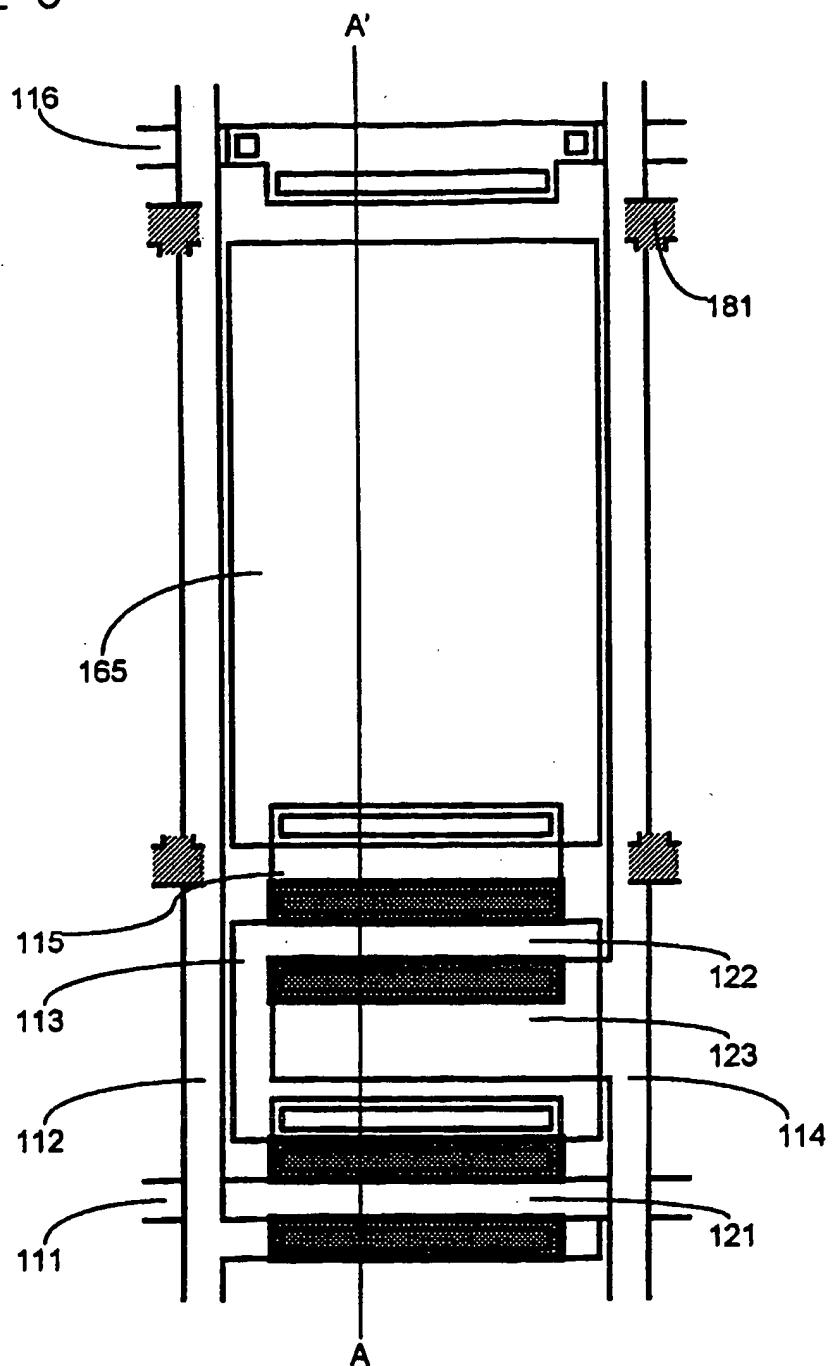


図 20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/00646

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G09G3/30, H05B33/08, H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ G09G3/20-38, H05B33/00-28, H01L33/00Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1998 Toroku Jitsuyo Shinan Koho 1994-1998
Kokai Jitsuyo Shinan Koho 1971-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 6-230745, A (Fuji Xerox Co., Ltd.), August 19, 1994 (19. 08. 94)	1-3, 6-9
Y	JP, 60-183459, U (NEC Corp.), December 5, 1985 (05. 12. 85)	1-3, 6-9
Y	JP, 56-120795, U (K.K. Sakazume Seisakusho), September 14, 1981 (14. 09. 81)	6-9
Y	JP, 7-335941, A (Iwaki Electronics Co., Ltd.), December 22, 1995 (22. 12. 95)	1-3, 6-9

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search
May 12, 1998 (12. 05. 98)Date of mailing of the international search report
May 26, 1998 (26. 05. 98)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP98/00646

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl^o G09G3/30 H05B33/08 H01L33/00

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl^o G09G3/20-38 H05B33/00-28 H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1998

日本国公開実用新案公報 1971-1995

日本国登録実用新案公報 1994-1998

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 6-230745, A (富士ゼロックス株式会社), 19. 8月. 1994 (19. 08. 94)	1-3, 6-9
Y	JP, 60-183459, U (日本電気株式会社), 05. 12. 月. 1985 (05. 12. 85)	1-3, 6-9
Y	JP, 56-120795, U (株式会社坂詰製作所), 14. 9月. 1981 (14. 09. 81)	6-9
Y	JP, 7-335941, A (いわき電子株式会社), 22. 12月. 1995 (22. 12. 95)	1-3, 6-9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

12. 05. 98

国際調査報告の発送日

26.05.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

奥村元宏

印

5H

8022

電話番号 03-3581-1101 内線 3530